

PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau



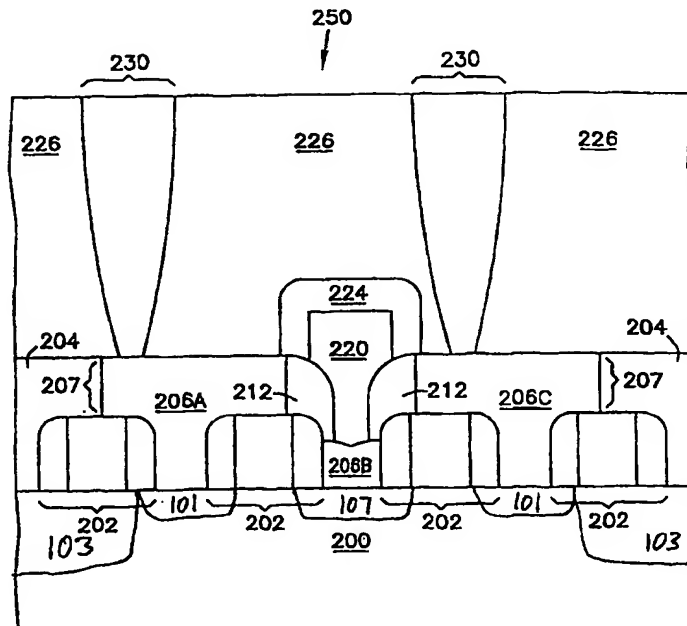
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification <sup>7</sup> : <b>H01L 21/768</b>		A1	(11) International Publication Number: <b>WO 00/11712</b>
			(43) International Publication Date: 2 March 2000 (02.03.00)
(21) International Application Number: PCT/US99/19567		(81) Designated States: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO patent (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).	
(22) International Filing Date: 25 August 1999 (25.08.99)			
(30) Priority Data: 09/140,810 25 August 1998 (25.08.98) US 09/255,962 23 February 1999 (23.02.99) US			
(63) Related by Continuation (CON) or Continuation-in-Part (CIP) to Earlier Application US 09/140,810 (CIP) Filed on 25 August 1998 (25.08.98)			
(71) Applicant (for all designated States except US): MICRON TECHNOLOGY, INC. [US/US]; 8000 South Federal Way, Boise, ID 83716-9632 (US).		<b>Published</b> <i>With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>	
(72) Inventor; and (75) Inventor/Applicant (for US only): FIGURA, Thomas, A. [US/US]; 4313 Douglas Street, Boise, ID 83706 (US).			
(74) Agent: VIKSNINS, Ann, S.; Schwegman, Lundberg, Woessner & Kluth, P.O. Box 2938, Minneapolis, MN 55402 (US).			

(54) Title: METHOD AND STRUCTURE FOR IMPROVED ALIGNMENT TOLERANCE IN MULTIPLE, SINGULARIZED PLUGS

(57) Abstract

An improved method and structure which increases the alignment tolerances in multiple, singularized plugs are provided. The invention discloses a novel method for forming individual plug contacts with increased surface area for improved registration between semiconducting layers. Also the improved plug contacts are particularly well suited to receiving contact formations which have any taper to them. IGFETS and other devices formed from this design can be used in a variety of beneficial applications, e.g. logic or memory.



특 2001-0072952

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/768	(11) 공개번호 (43) 공개일자	특2001-0072952 2001년07월30일
(21) 출원번호 (22) 출원일자 변역문제출일자 (86) 국제출원번호 (86) 국제출원출원일자 (81) 지정국	10-2001-7002386 2001년02월24일 2001년02월24일 PCT/US1999/19567 1999년08월25일	(87) 국제공개번호 (87) 국제공개일자 WO 2000/11712 2000년03월02일
	국내특허 : 알바니아 아르메니아 오스트리아 오스트레일리아 아제르바이잔 보스니아-헤르체고비나 바베이도스 불가리아 브라질 벨라루스 캐나다 스위스 중국 쿠바 체코 독일 덴마크 에스토니아 스페인 핀란드 영국 그루지야 헝가리 이스라엘 아이슬란드 일본 케냐 키르기스 북한 대한민국 카자흐스탄 세인트루시아 스리랑카 레소토 리투아니아 룩셈부르크 라트비아 몰도바 마다가스카르 마케도니아 몽고 말라위 멕시코 노르웨이 뉴질랜드 슬로베니아 슬로바키아 타지키스탄 투르크메니스탄 터키 트리니다드토바고 우크라이나 우간다 우즈베키스탄 베트남 폴란드 포르투갈 루마니아 러시아 수단 스웨덴 싱가포르 인도 그레나다 가나 감비아 크로아티아 인도네시아 시에라리온 짐바브웨 유고슬라비아 라이베리아 미국 아랍에미리트 코스타리카 도미니카연방 남아프리카 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 우간다 가나 감비아 짐바브웨 시에라리온 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 키르기스 카자흐스탄 몰도바 러시아 타지키스탄 투르크메니스탄 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 사이프러스 OA OAPI특허 : 부르키나파소 베냉 중앙아프리카 콩고 코트디부아르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고 기네비소	
(30) 우선권주장	09/140,810 1998년08월25일 미국(US)	
(71) 출원인	09/255,962 1999년02월23일 미국(US) 마이크론 테크놀로지, 인크. 로데릭 더블류 루이스 미국 83716-9632 마이다호주 보이스 피.오. 박스 6 사우쓰 페드럴 웨이 8000	
(72) 발명자	피그라, 토마스, 에이.	
(74) 대리인	미국837060마이다호주보이스더글라스스트리트4313 장수길, 구영창	

심사청구 : 있음

(54) 다중의 단일화된 플러그에서 개선된 정렬 톨러런스를 위한방법 및 구조

요약

다중의 단일화된 플러그에서 정렬 톨러런스를 증가시키는 개선된 방법 및 구조가 제공된다. 본 발명은 반도체층 사이에 개선된 등록을 위한 증가되는 표면 영역을 구비한 개별적인 플러그 콘택트를 형성하는 신규한 방법을 개시한다. 또한 개선된 플러그 콘택트는 그것들에 소정의 테이퍼를 갖는 콘택트 형성을 받는데 특히 매우 적합하다. 1GFETS 및 이 설계로부터 형성된 다른 장치는 예를 들어 로직 또는 메모리의 다양한 이로운 애플리케이션에 이용될 수 있다.

도표도

도2

색인어

플러그, 정렬, 반도체층, 톨러런스, 1GFETS, 비트라인

명세서

## 기술분야

본 발명은 일반적으로 반도체 집적 회로에 관한 것으로, 특히 다중의 단일화된 플러그에서 개선된 정렬 톨러런스를 위한 방법 및 구조에 관한 것이다.

## 배경기술

수천의 전자장치 및 컴퓨터 제품의 중요한 구성부품인 집적 회로는 통상적인 파운데이션 또는 기판상에 공정되는 전기 부품의 상호접속된 네트워크이다. 제조자는 일반적으로 레이더링, 도핑, 마스크, 및 에칭과 같은 다양한 기술을 이용하여 수천 및 수백만 개의 초소형의 저항, 트랜지스터, 및 다른 전기적 구성부품을 웨이퍼로 알려진 실리콘 기판상에 형성한다. 그런 다음 구성부품은 함께 와이어드되거나 상호접속되어 컴퓨터 메모리와 같은 특정 전기 회로를 규정한다.

수백만개의 초소형 구성부품의 상호접속 및 완성은 통상적으로 컨택트 플러그를 형성하는 단계, 실리콘 산화물의 절연층으로 상기 플러그 및 구성부품을 커버하는 단계, 그런 다음 상기 절연층에서 좁지만 깊은 홈을 에칭하여 구성부품 또는 아래에 컨택트 플러그의 일부를 노출하는 단계를 포함한다. 이러한 홈은 다른 도전 물질로 채워지거나 예를 들어 메모리 셀의 스토리지 노드와 같은 부가적인 구성부품의 일부로 만들어진다.

금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)와 같은 절연 게이트 전계 효과 트랜지스터(IGFET)는 집적 회로의 다른 부분에 접속을 위한 컨택트 플러그 및 에칭된 홈이 필요한 전기적 구성부품의 일례이다. IGFET는 로직 및 메모리 칩 애플리케이션 모두에 종종 이용된다. IGFET는 소스 및 드레인을 결합하는 하층면 채널을 제어하는 게이트를 이용한다. 채널인 소스 및 드레인 반도체 기판에 위치되며, 상기 소스 및 드레인은 기판과 반대로 도핑된다. 게이트는 게이트 산화막과 같은 절연층에 의해서 반도체 기판으로부터 분리된다. IGFET의 동작은 게이트로 인력 전압의 애플리케이션을 수반하며, 게이트는 채널의 길이의 컨덕턴스를 조정하기 위해서 채널에서 TE(traverse electric) 필드를 설정한다. 플러그 컨택트 및 컨택트 개구부는 소스 및 드레인 영역 사이의 컨덕턴스 회로를 완성하기 위해 IGFET에서 필요하다.

현재의 산업 수요는 더 나은 기능을 가져오기 위해서 개별 반도체 칩상에 전기용량의 증가를 추구한다. 증가되는 회로 밀도에 대한 추구는 개별 구성부품의 소형화, 표면층의 수 및 개별 표면층 사이의 컨택트 개구부의 깊이의 증가를 통해 실현된다. 불행하게도, 설계 규칙이 줄어드는 동안, 층의 등록 또는 한 면으로부터 다른 면으로의 컨택트의 정렬은 동일한 비율로 개선되지 않는다. 이러한 문제는 매우 깊은 컨택트 개구부가 더욱 급격하게 정렬 톨러런스를 감소시키는 개구부의 소정의 테이퍼를 포함하는 사실에 의해 더욱 악화된다.

따라서, 컨택트 플러그 및 컨택트 개구부의 형성을 포함하는 개선된 컨택트 구조를 생성하여 반도체 층 사이의 등록을 개선하는 지속적인 필요가 존재한다.

## 본 발명의 상세한 설명

층 사이의 등록 톨러런스를 갖는 상술된 문제와 다른 문제들이 본 발명에 의해 해결될 것이고 다음의 상세한 설명을 읽고 공부함으로써 이해될 것이다. 개선된 결과를 주는 방법 및 구조가 제공된다.

특히, 본 발명의 예시적인 실시예는 기판상에 집적 회로 장치를 포함한다. 상기 장치는 기판을 따라 떨어져 배치되는 다수의 반도체 표면 구조를 포함한다. 다수의 플러그는 다수의 표면 구조 사이의 기판에 접속된다. 다수의 플러그는 내부 플러그 및 한 쌍의 외부 플러그를 포함한다. 외부 플러그 쌍의 각각은 내부 플러그에 인접하게 그리고 내부 플러그의 대향측에 형성된다. 외부 플러그 쌍의 각각은 표면 구조의 영역을 커버하는 상부(upper portion)를 갖는다. 내부 전기적 컨택트는 내부 플러그에 결합되고 스페이서에 의해 외부 플러그의 상부로부터 분리된다.

다른 실시예에서, 메모리 장치가 제공된다. 메모리 장치는 상면(top surface)을 구비한 다중 절연된 워드라인을 포함한다. 절연 워드라인은 서로로부터 떨어져 배치되고 기판상에 형성된다. 비트라인 플러그는 근접한 한 쌍의 절연된 워드라인 사이에 위치된다. 비트라인 플러그는 인접 쌍의 상기 상면 아래에 상면을 가진다. 한 쌍의 스토리지 노드 플러그는 비트라인 플러그로부터 인접한 한 쌍의 절연된 워드라인의 대향측에 위치된다. 스토리지 노드 플러그 쌍은 각각 절연된 워드라인의 상기 상면 위에 상면을 갖고 인접한 워드라인의 일부위로 형성된다. 매입된 비트라인은 비트라인 플러그에 결합한다. 또한, 한 쌍의 대향 스페이서는 스페이서가 스토리지 노드 플러그 쌍으로부터 매입된 비트라인을 절연하도록, 인접한 절연된 워드라인 쌍 위에 위치된다.

다른 실시예에서, 데이터 핸들링 시스템이 제공된다. 데이터 핸들링 시스템은 함께 시스템 버스에 의해 결합되는 중앙 처리 유닛 및 메모리 장치를 포함한다. 메모리 장치는 상술된 메모리 장치를 포함한다.

본 발명의 다른 실시예는 기판상에 다중의 반도체 표면 구조 사이에 플러그를 형성하는 방법을 포함한다. 이 방법은 반도체 표면 구조상의 제1 절연층에서 제1 개구부를 형성하는 단계를 포함한다. 제1 개구부를 형성하는 단계는 다중의 표면 구조 사이에 기판의 일부를 노출하는 단계를 포함한다. 제1 도전 물질은 제1 개구부에 용착되어 다중 표면 구조를 커버한다. 제2 절연층은 제1 도전 물질을 통해 형성된다. 제2 개구부는 기판상에 소스 영역의 제1 도전 물질에 형성된다. 제2 개구부를 형성하는 단계는 인접한 한 쌍의 다중 표면 구조의 일부를 노출하는 단계를 포함한다. 이 방법은 제2 개구부의 내벽상에 스페이서를 형성하는 단계를 더 포함한다. 스페이서를 형성하는 단계는 제1 도전 물질을 아래에 절연된 인접한 다중 표면 구조의 쌍 사이의 내부 플러그와 한 쌍의 외부 플러그로 분리하는 단계를 포함한다. 외부 플러그는 또한 인접 다중 표면 구조 쌍의 일부를 커버한다. 또한, 제2 도전 물질은 제2 개구부에서 형성되고 스페이서에 의해서 외부 플러그로부터 절연된다.

따라서, 반도체층 사이에 개선된 정렬 톨러런스를 위한 방법 및 구조가 제공된다. 본 발명은 개선된 등록 톨러런스에 대한 증가된 표면 영역을 가진 개별 컨택트 플러그를 테이퍼를 갖는 컨택트 플러그로 형성

하는 신규한 방법을 개시한다.

이것들과 본 발명의 다른 실시예, 측면, 이점 및 특징은 다음의 상세한 설명의 일부분에서 설명될 것이고, 부분적으로 본 발명의 상세한 설명과 참조된 도면 또는 본 발명의 실시예에 의해 당업자에게 명백해질 것이다. 본 발명의 측면, 이점 및 특징은 특히 첨부된 청구범위에서 지적되는 수단, 절차 및 결합에 의해서 실현되고 얻어진다.

#### 도면의 간단한 설명

양호한 실시예의 다음의 상세한 설명은 다음의 도면과 결부하여 읽을 때 최상으로 이해될 수 있다.

도 1A, 1B, 1C-1, 1D, 1E 및 1F는 컨택트 플러그 및 컨택트 개구부를 포함하는 집적 회로 장치의 실시예를 도시하는 횡단면도.

도 1C-2는 도 1C-1에 도시된 횡단면도의 평면도.

도 1C-3은 도 1C-2에 도시된 주변부의 평면도.

도 2는 본 발명의 이론에 따른 집적 회로 장치의 실시예를 도시한 횡단면도.

도 3은 본 발명의 이론에 따른 데이터 핸들링 시스템의 실시예를 도시한 블록도.

#### 실시예

본 발명의 다음의 상세한 설명에서, 명세서의 일부인 도시되는 다음의 도면과 본 발명이 실행될 수 있는 특정 실시예를 예를 드는 방식으로 참조한다. 이러한 실시예는 본 발명을 당업자들이 실행할 수 있도록 충분히 상세히 설명될 것이다. 다른 실시예들이 이용될 수 있으며, 구조적, 논리적 그리고 전기적 변화가 본 발명의 범위를 벗어나지 않으면서 이용될 수 있다.

다음의 상세한 설명에 이용되는 웨이퍼와 기판이라는 용어는 본 발명의 집적 회로(IC) 구조를 형성하도록 노출된 표면을 갖는 어떤 구조도 포함한다. 기판이라는 용어는 반도체 웨이퍼를 포함하는 것으로 이해된다. 또한 기판이라는 용어는 처리과정 동안 반도체 구조를 지지하는데 이용될 수 있으며 고정된 다른 층을 포함할 수 있다. 웨이퍼와 기판 모두는 당업자에게 알려진 다른 반도체 구조 뿐만 아니라 도핑된 그리고 도핑되지 않은 반도체, 베이스 반도체 또는 절연체에 의해 지지되는 에피택셜 반도체층을 포함한다. 도전체란 용어는 반도체를 포함하는 것으로 이해되며, 절연체란 용어는 도전체로 언급되는 물질보다 전기적 도전성이 더 적은 어떤 물질도 포함되는 것으로 정의된다. 따라서, 다음의 상세한 설명은 한정적 의미로 이해되어서는 안된다.

본 출원서에서 이용되는 '수평의'라는 용어는 웨이퍼 또는 기판의 지향성과 무관하게, 종래의 평면 또는 웨이퍼 또는 기판의 표면과 실질적으로 평행한 평면으로 정의된다. '수직의'라는 용어는 위에 정의된 바와 같이, 수평면에 실질적으로 수직인 방향을 말한다. '위에(on)', '위에 있는(upper)', '측(side)', '측벽(sidewall)'과 같은, '더 높은(higher)', '더 낮은(lower)', '위로(over)', '아래에(under)'와 같은 말은 웨이퍼 또는 기판의 지향성과는 무관하게, 웨이퍼 또는 기판의 상면에 있는 종래의 평면 또는 표면에 대하여 정의된다.

이 명세서 전체에서 'n+'라는 표시는 예를 들어 모노크리스탈 실리콘 또는 폴리크리스탈 실리콘인 많이 도핑된 n형 반도체 물질인 반도체 물질을 나타낸다. 비슷하게, 'p+'라는 표시는 많이 도핑된 p형 반도체 물질인 반도체 물질을 나타낸다. 'n-' 및 'p-'라는 표시는 각각 가볍게 도핑된 n형과 p형 반도체 물질을 나타낸다.

도 1A 내지 1F는 컨택트 플러그 및 컨택트 개구부를 포함하는 집적 회로 장치를 제조하는 실시예를 도시하는 횡단면도이다. 도 1A는 1GFET 또는 단순한 트랜지스터 공정이 제1 절연층(104)을 구비한 기판(100) 상의 다중 반도체 표면 구조 뿐만 아니라 드레인 및 소스 영역(101, 102)을 커버하는 것을 통해 완성되는 시정에서의 구조를 도시한다. 일 실시예에서, 제1 절연층(104)은 화학적 증기 용착법(chemical vapor deposition, CVD)을 이용하여 적용된 산화층(104)을 포함한다. 포토레지스트는 제1 개구부(105) 또는 액티브 영역 슬롯(105)이 제1 절연층(104)에 형성되는 패턴으로 적용되고 노출된다. 이 구조는 도 1A에서 나타난다.

도 1B는 제조 단계의 다음 순서를 따르는 구조를 도시한다. 제1 절연층(104)은 예를 들어 반응 이온 에칭(reactive ion etching, RIE)과 같은 어떤 적당한 기술을 이용하여 에칭된다. 대안적으로, 절연층(104)은 버퍼 산화를 에치(buffered oxide etch, BOE)를 이용하여 제거될 수 있다. 포토레지스트는 종래의 포토레지스트 스트리핑 기술(photoresist stripping technique)을 이용하여 제거된다. 상기 에칭 과정은 제1 절연층(104)에 제1 개구부(105) 또는 액티브 영역 슬롯(105)을 형성한다. 제1 개구부(105)를 형성하는 단계는 (109)와 같이 조합적으로 도시된, 다중 반도체 표면 구조(102)의 일부를 노출하는 단계를 포함하고 상기 노출된 다중 반도체 표면 구조(102) 사이의 기판(100)의 일부를 노출하는 단계를 포함한다. 다음으로, 제1 도전 물질(106)은 제1 개구부(105) 또는 액티브 영역 슬롯(105)에 용착된다. 일 실시예에서, 제1 도전 물질(106)은 폴리실리콘을 포함하고 CVD를 이용하여 용착된다. 제1 절연층 상에 다음으로 평탄화된 스탑핑(stopping)의 제1 도전 물질이 도 1B에 도시된다. 제1 도전 물질은 예를 들어 화학 기계적 평탄화(CMP), 또는 대안적으로 블랭킷 드라이 에치 프로세스(blanket dry etch process)와 같이, 어떤 적당한 기술을 이용하여 평탄화된다. 제2 절연층(108)은 제1 도전 물질(106) 위로 형성된다. 제2 절연층(108)은 어떤 적당한 산화 기술 예를 들어 열 산화작용 또는 CVD 프로세스를 이용하여 용착된 산화층(108)을 포함할 수 있다. 대안적인 실시예에서, 제2 절연층(108)은 CVD로 형성되는 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>) 층을 포함할 수 있다. 구조는 도 1B에 도시된다.

도 1C-1은 다음의 일련의 처리 단계를 따르는 구조를 도시한다. 포토레지스트는 제2 개구부(110), 컨택트 개구부(110) 또는 비트라인 개구부(110)가 기판에서 소스 영역위의 제1 도전 물질(106)에서 형성되는

패턴으로 적용되거나 선택적으로 노출된다. 일실시예에서, 제1 도전 물질에 제2 개구부(110)를 형성하는 것은 트랜지스터에 대한 비트라인 영역(110)을 구성할 것이다. 제2 절연층(108)은 다음으로 예를 들어 RIE와 같은 어떤 적당한 프로세스를 이용하여 제거된다. 에치 프로세스는 제2 개구부(110) 또는 컨택트 개구부(110)가 제1 도전 물질(106)로 연장하도록 이어진다. 제1 도전 물질(106)은 또한 RIE 프로세스를 이용하여 에칭된다. 제1 도전 물질(106)에 제2 개구부(110)를 형성하는 단계는 다중 표면 구조(102)의 인접 쌍(109)의 일부를 노출하는 단계를 포함한다. 일실시예에서, 제1 도전 물질(106)은 인접 쌍(109)의 상면 아래에서 에칭된다. 이 구조는 도 1C-1에 나타나 있다.

도 1C-2는 도 1C-1에 도시된 횡단면도의 평면도이다. 도 1C-2에 도시된 바와 같이, 제1 개구부(105), 또는 액티브 영역 슬롯(105) 및 도 1A로부터의 뒤이어 일어나는 단계가 다중 표면 구조의 인접 쌍(109)의 전체 액티브 영역을 커버했다. 일실시예에서 다중 표면 구조의 인접 쌍(109)은 인접한 한 쌍의 워드라인과 주변의 스페이서(109)를 포함한다. 도 1C-2의 평면도에 도시된 바와 같이, 제2 개구부(110) 또는 컨택트 개구부(110)는 도 1C-2에서 115-1, 115-2, 115-3, ..., 115-N으로 도시된 교차하는 슬롯 영역으로 오버랩한다.

도 1C-3은 도 1C-2에 도시된 기관(100)의 병렬부(119)의 평면도이다. 도 1C-3에 도시된 바와 같이, 제1 도전 물질(106)은 또한 기관(100)의 병렬부(119)상에 형성된 다수의 스트립 제1 개구부(105)에 형성되어 있다.

도 1D는 다음 그룹의 프로세스 단계 후의 구조를 도시한다. 포토레지스트는 종래의 포토레지스트 스트리핑 기술을 이용하여 스트리핑된다. 스페이서(112)는 제2 개구부(110)의 내벽상에 형성된다. 스페이서(112)는 실리콘 산화물( $SiO_2$ ), 또는 실리콘 질화물( $Si_3N_4$ )과 같은 절연 물질을 제2 개구부(110)로 용착함으로써 형성된다. 이 절연 물질은 어떤 적당한 기술 예를 들어 CVD를 이용하여 용착된다. 절연 물질은 다음으로 에칭되어 스페이서(112)를 내벽에만 형성되게 남긴다. 제2 개구부(110)의 내벽상에 스페이서(112)를 형성하는 단계는 제1 도전 물질을 인접쌍(109) 아래와 사이에 있는 내부 플러그(111)로 분리하는 단계를 포함한다. 내벽상에 스페이서(112)를 형성하는 단계는 한 쌍의 외부 플러그(113)로 제1 도전 물질(106)을 분리하는 단계를 더 포함한다. 그러나 외부 플러그(113)는 또한 인접 쌍(109)의 상면의 일부를 커버한다. 예시적인 실시예에서, 내부 플러그(111)를 형성하는 단계는 비트라인 플러그(111)를 형성하는 단계를 구성한다. 또한, 예시적인 실시예에서, 한 쌍의 외부 플러그(113)를 형성하는 단계는 한 쌍의 스토리지 노드 플러그(113)를 형성하는 단계를 구성한다. 이 구조는 도 1D에 도시된다.

도 1E는 다음의 제조 단계 후의 구조를 도시한다. 제2 도전 물질(120)은 제2 개구부(110)에 형성된다. 일실시예에서, 제2 도전 물질(120)을 형성하는 단계는 비트라인(120)을 형성하는 단계를 포함한다. 일실시예에서, 제2 도전 물질(120)은 내화 금속-폴리실리콘 살리시데이션 프로세스(refractory metal-polysilicon salicidation process)로부터 형성된 합금을 포함한다. 그러한 살리시데이션 프로세스 및 다른 금속화 기술은 반도체 제조 분야의 당업자에게 이해될 것이고, 따라서 여기에는 설명하지 않는다. 대안적인 실시예에서, 제2 도전 물질(120)은 CVD 프로세스를 이용하여 용착된 폴리실리콘을 포함한다. 다음으로, 이어서 일어나는 절연층 또는 비트라인 절연층(124)은 금속층 및 반도체층이 더 공정될 수 있을 때 표면을 제공하도록 할 뿐만 아니라 제2 도전 물질(120)을 절연하거나 매입하도록 하는 종래의 기술을 이용하여 형성된다. 동일한 것을 하는 기술은 본 발명의 구조의 일부를 형성하지 않으며 따라서 여기에 나타내지 않는다. 그러나 그러한 기술은 반도체 제조 분야의 당업자에게 이 설명을 읽음으로써 이해될 것이다. 이 구조는 도 1E에 도시된다.

도 1F에서, 구조의 예시적인 실시예가 형성된 제3 절연층(126)으로 도시된다. 부가하여, 컨택트 영역(130) 또는 컨택트 개구부(130)는 종래의 반도체 제조 단계에 따라 제조된다. 컨택트 개구부(130)는 한 쌍의 외부 플러그의 더 큰 표면 영역이 상당히 개선된 정렬 톨러런스를 허용하는 방식으로 더 명확한 설명을 제공한다. 예를 들어 상기 방법 및 구조는 1F에서 매입된 비트라인(120)을 형성한 후에 쉽게 전기적 컨택트나 캐패시터 스토리지 노드를 형성하는 것을 용이하게 한다.

도 2는 본 발명의 원리에 따라, 집적 회로 장치(250) 또는 메모리 장치(250)의 실시예를 도시하는 횡단면도이다. 도 2에 도시된 바와 같이, 구조는 기관(200)을 따라 떨어져 배치되는 다수의 반도체 표면 구조(202)를 구비한 기관(200)을 포함한다. 일실시예에서, 기관(200)은 도핑된 실리콘 구조를 포함한다. 대안적인 실시예에서, 기관(200)은 절연층을 포함한다. 다른 예시적인 실시예에서, 기관(200)은 p형 바디 영역을 형성하도록 p형 도펀트(dopant)로 도핑된 단일 크리스탈린 실리콘(Si)의 바디 영역을 포함할 수 있다. 다음으로, 기관(200)은 또한 n형 소스/드레인 영역을 형성하도록 n형 도펀트로 도핑된 기관(200)에서의 제1 소스/드레인 영역과 제2 소스/드레인 영역으로 구성될 것이다. 유사하게, 상술된 구성부품에서의 도핑 형태는 반전될 수 있어서 기관에서 교대(alternate) 도전 방식을 만든다. 일실시예에서, 다수의 반도체 표면 구조는 기관의 표면을 따라 연장하는 절연된 워드라인(202)을 포함한다. 다른 실시예에서, 다수의 반도체 표면 구조는 절연된 플래시 메모리 셀(202)을 포함한다. 다수의 플러그(206A, 206B, 206C)는 집합적으로 206으로 나타내며, 다수의 표면 구조(202)와 절연층(204) 사이의 기관(200)으로 전기적 컨택트를 형성한다. 일실시예에서, 다수의 플러그(206)는 폴리실리콘 플러그를 포함한다.

특히, 다수의 플러그는 내부 플러그(206B)와 한 쌍의 외부 플러그 또는 외부 쌍(206A, 206C)을 포함한다. 예시적인 실시예에서, 내부 플러그(206B)는 비트라인 플러그를 포함하며 다수의 반도체 표면 구조(202)의 상면 밑으로 형성된다. 또한, 예시적인 실시예에서, 한 쌍의 외부 플러그(206A, 206C)는 스토리지 노드 플러그(206A, 206C)를 포함한다. 외부 쌍(206A, 206C)의 각각은 내부 플러그(206B)에 인접하며 내부 플러그(206B)의 대향측에 형성된다. 또한 외부 플러그(206A, 206C)의 각각은 상부(207)를 포함한다. 상부(207)는 표면 구조(202)의 영역을 커버한다. 더욱이, 내부 전기적 컨택트(220)는 내부 플러그(206B)에 결합한다. 예시적인 실시예에서 내부 전기적 컨택트(200)는 매입된 비트라인(220)을 포함한다. 내부 전기적 컨택트(220)는 한 쌍의 대향하는 스페이서(212)에 의해 외부 쌍(206A, 206C)의 상부(207)로부터 분리된다. 일실시예에서, 한 쌍의 대향 스페이서(212)는 한 쌍의 대향하는 실리콘 산화물( $SiO_2$ ) 스페이서(212)를 포함한다. 대안적 실시예에서, 한 쌍의 대향하는 스페이서는 한 쌍의 대향하는 실리콘 질화

를(Si<sub>3</sub>N<sub>4</sub>) 스페이서(212)를 포함한다.

일 실시예에서, 집적 회로 장치(250)는 스토리지 노드(230) 또는 어떤 적당한 물질로부터 형성되는 스토리지 노드 콘택트를 포함할 수 있는 한 쌍의 외부 콘택트 영역(230)을 포함한다. 유사하게, 한 쌍의 외부 콘택트 영역(230)은 어떤 적당한 금속 물질로부터 형성된 테이퍼형(tapered) 전기적 콘택트(230)를 포함할 수 있다. 콘택트 영역(230)은 각각 절연층(226)을 통해 한 쌍의 외부 플러그(206A, 206C)의 하나에 각각 결합한다. 집적 회로 장치(250)는 일 실시예에서, 다이내믹 랜덤 액세스 메모리(DRAM)를 포함한다. 그리고, 대안적 실시예에서, 집적 회로 장치(250)는 동기 랜덤 액세스 메모리(SRAM) 또는 전기적 삭제가 등 프로그램가능 판독 전용 메모리(EEPROM)를 포함한다.

도 3은 본 발명의 실시예에 따른 데이터 핸들링 시스템(300)을 도시하는 블록도이다. 도 3에는 데이터 핸들링 시스템이 중앙 처리 유닛(CPU)(304)을 포함하는 것을 도시한다. CPU(304)는 시스템 버스(310)에 의해 메모리 장치(330)로 통신하여 결합된다. 메모리 장치는 도 2와 결부되어 제공되고 설명된 메모리 장치를 포함한다. CPU(304) 및 시스템 버스(310)는 본 분야의 당업자에게 잘 알려져 있다. 이 CPU(304) 및 시스템 버스(310)는 본 발명을 구현하기 위한 많은 적당한 형태로 입수가능하다. 당업자는 본 발명으로 그러한 적당한 장치를 인식할 것이며 채용할 수 있다. 그 자체로, 이러한 CPU(304) 및 시스템 버스(310)의 상세한 설명은 여기에 설명되지 않는다.

#### 산업상 이용가능성

#### 결론

다중의 단일화된 플러그에서 정렬 톨러런스를 증가시키는 개선된 방법 및 구조가 제공된다. 본 발명은 반도체층 사이의 개선된 등록을 위한 증가된 표면 영역을 구비한 개별 플러그 콘택트를 형성하는 신규한 방법을 개시한다. 또한 개선된 플러그 콘택트는 특히 그것들에 어떤 테이퍼를 갖는 콘택트 형성을 받기에 매우 적합하게 된다. IGFETS 및 이 설계로부터 형성되는 다른 장치는 예를 들어 로직 또는 메모리의 다양한 이점이 있는 응용에 이용될 수 있다.

특정 실시예가 도시되고 설명되었지만, 동일한 목적을 달성하는데 적합한 어떤 정렬도 도시된 특정 실시예를 대체할 수 있다는 것이 당업자에게 인식될 수 있다. 이 애플리케이션은 본 발명의 어떤 적용 또는 변화를 커버하도록 의도된다. 상술된 설명은 예시적인 것이고 한정적이지 않은 것으로 이해되어야 한다. 본 발명의 범위는 상술된 구조 및 제조 방법이 이용되는 어떤 다른 애플리케이션을 포함한다. 본 발명의 범위는 주어진 군들의 전 범위와 함께 첨부된 청구범위를 참조하여 결정되어야 한다.

#### (57) 청구의 범위

청구항 1. 기판상의 집적 회로 장치에 있어서,

상기 기판을 따라 떨어져 배치되는 다수의 반도체 표면 구조;

상기 다수의 표면 구조 사이의 기판을 접촉하는 다수의 플러그 - 상기 다수의 플러그는 내부 플러그와 한 쌍의 외부 플러그를 포함하고, 상기 외부 플러그 쌍의 각각은 상기 내부 플러그에 접하고 내부 플러그의 대향측에서 형성되고, 상기 외부 플러그 쌍의 각각은 상부를 가지며, 상기 상부는 상기 표면 구조 영역을 커버함 - ; 및

내부 플러그에 결합하고 한 쌍의 대향 스페이서에 의해 상기 상부로부터 분리되는 내부 전기적 콘택트를 포함하는 집적 회로 장치.

청구항 2. 제1항에 있어서, 상기 장치는 한 쌍의 외부 콘택트 영역을 더 포함하고, 상기 외부 콘택트의 각각은 상기 외부 플러그 쌍의 하나에 각각 결합하는 집적 회로 장치.

청구항 3. 제2항에 있어서, 상기 한 쌍의 외부 플러그는 스토리지 노드 플러그를 포함하고, 상기 외부 콘택트 영역은 스토리지 노드를 포함하는 집적 회로 장치.

청구항 4. 제1항에 있어서, 상기 다수의 반도체 표면 구조는 절연된 워드라인을 포함하는 집적 회로 장치.

청구항 5. 제1항에 있어서, 상기 다수의 반도체 표면 구조는 절연된 플래시 메모리 셀을 포함하는 집적 회로 장치.

청구항 6. 제1항에 있어서, 상기 내부 플러그는 상기 다수의 표면 구조의 상면 아래에 형성되는 집적 회로 장치.

청구항 7. 제1항에 있어서, 상기 다수의 플러그는 폴리실리콘 플러그를 포함하는 집적 회로 장치.

청구항 8. 제1항에 있어서, 상기 내부 플러그는 비트라인 플러그를 포함하고, 상기 내부 전기적 콘택트는 비트라인 콘택트를 포함하는 집적 회로 장치.

청구항 9. 제1항에 있어서, 상기 장치는 다이내믹 랜덤 액세스 메모리(DRAM)를 포함하는 집적 회로 장치.

청구항 10. 제1항에 있어서, 상기 장치는 동기 랜덤 액세스 메모리(SRAM)를 포함하는 집적 회로 장치.

청구항 11. 메모리 장치에 있어서,

상면을 구비한 다중 절연 워드라인 - 상기 절연 워드라인은 서로로부터 떨어져 배치되고 기판상에 형성됨 - ;

상기 한 쌍의 인접한 절연 워드라인 사이에 위치되는 비트라인 플러그 - 상기 비트라인 플러그는 상기 절

면 워드 라인의 상기 상면 아래의 상면을 가짐 - ;

상기 비트라인 플러그로부터 상기 한 쌍의 인접한 절연 워드라인의 대향측에 위치되는 한 쌍의 스토리지 노드 플러그 - 상기 한 쌍의 스토리지 노드 플러그 각각은 상기 절연 워드라인의 상기 상면 위에 상면을 가지고 상기 인접한 워드라인의 일부 위로 형성됨 - ;

상기 비트라인 플러그에 결합되는 매입된 비트라인; 및

상기 한 쌍의 인접한 절연 워드라인 위에 위치된 한 쌍의 대향 스페이서 - 상기 스페이서는 상기 한 쌍의 스토리지 노드 플러그로부터 상기 매입된 비트라인을 절연함 -

를 포함하는 메모리 장치.

청구항 12. 제11항에 있어서, 상기 비트라인 플러그는 폴리실리콘을 포함하는 메모리 장치.

청구항 13. 제11항에 있어서, 상기 한 쌍의 스토리지 노드 플러그는 폴리실리콘을 포함하는 메모리 장치.

청구항 14. 제11항에 있어서, 상기 메모리 장치는 한 쌍의 스토리지 노드 컨택트를 더 포함하고, 상기 스토리지 노드 컨택트의 각각은 스토리지 노드 플러그 중 하나에 각각 결합하는 메모리 장치.

청구항 15. 제11항에 있어서, 상기 메모리 장치는 다이내믹 랜덤 액세스 메모리(DRAM)를 포함하는 메모리 장치.

청구항 16. 제11항에 있어서, 상기 메모리 장치는 동기 랜덤 액세스 메모리(SRAM)을 포함하는 메모리 장치.

청구항 17. 데이터 핸들링 시스템에 있어서,

중앙 처리 유닛;

상면을 갖는 다중 절연 워드라인 - 상기 절연 워드라인은 서로로부터 떨어져 배치되고 기판상에 형성됨 - ;

상기 한 쌍의 인접한 절연 워드라인 사이에 위치된 비트라인 플러그 - 상기 비트라인 플러그는 상기 절연 워드라인의 상기 상면 아래에 상면을 구비함 - ;

상기 비트라인 플러그로부터 인접한 워드라인의 대향측에 위치되는 한 쌍의 스토리지 노드 플러그 - 상기 한 쌍의 스토리지 노드 플러그 각각은 상기 절연 워드라인의 상기 상면 위에 상면을 갖고, 상기 인접 워드라인의 일부 위로 형성됨 - ;

상기 비트라인 플러그에 결합되는 매입 비트라인; 및

상기 한 쌍의 인접 워드라인 위에 위치되고 상기 한 쌍의 스토리지 노드 플러그로부터 상기 매입된 비트라인을 절연하는 한 쌍의 대향 스페이서

를 포함하는

메모리 장치; 및

상기 중앙 처리 유닛과 상기 메모리 장치를 통신으로 결합하는 시스템 버스

를 포함하는 데이터 핸들링 시스템.

청구항 18. 제17항에 있어서, 상기 비트라인 플러그는 폴리실리콘을 포함하는 데이터 핸들링 시스템.

청구항 19. 제17항에 있어서, 상기 한 쌍의 스토리지 노드 플러그는 폴리실리콘을 포함하는 데이터 핸들링 시스템.

청구항 20. 제17항에 있어서, 상기 메모리 장치는 한 쌍의 스토리지 노드 컨택트를 더 포함하고, 상기 스토리지 노드 컨택트의 각각은 스토리지 노드 플러그 중 하나에 각각 결합하는 데이터 핸들링 시스템.

청구항 21. 제17항에 있어서, 상기 메모리 장치는 다이내믹 랜덤 액세스 메모리(DRAM)를 포함하는 데이터 핸들링 시스템.

청구항 22. 제17항에 있어서, 상기 메모리 장치는 동기 랜덤 액세스 메모리(SRAM)을 포함하는 데이터 핸들링 시스템.

청구항 23. 기판상의 다중 반도체 표면 구조 사이에 플러그를 형성하는 방법에 있어서,

상기 반도체 표면 구조상의 제1 절연층에 제1 개구부를 형성하는 단계 - 상기 제1 개구부를 형성하는 단계는 상기 다중 반도체 표면 구조의 일부를 노출하는 단계를 포함하고 상기 다중 표면 구조 사이의 기판의 일부를 노출하는 단계를 포함함 - ;

상기 다중 표면 구조를 커버하도록 상기 제1 개구부에 제1 도전 물질을 용착하는 단계;

상기 제1 도전 물질에 걸쳐 제2 절연층을 형성하는 단계;

상기 기판상에 소스 영역의 제1 도전 물질에 제2 개구부를 형성하는 단계 - 상기 제2 개구부를 형성하는 단계는 한 쌍의 인접한 다중 표면 구조의 일부를 노출하는 단계를 포함함 - ;

상기 제2 개구부의 내벽상에 스페이서를 형성하는 단계 - 상기 스페이서를 형성하는 단계는 제1 도전 물질을 아래에 절연된 상기 인접 쌍 사이의 내부 플러그와 한 쌍의 외부 플러그로 제1 도전 물질을 분리하는 단계를 포함하고, 상기 외부 플러그는 또한 상기 인접쌍의 일부를 커버함 - ; 및

제2 개구부에서 제2 도전 물질을 형성함으로써, 상기 제2 도전 물질이 상기 스페이서에 의해 상기 외부 플러그로부터 절연되는 단계

를 포함하는 플러그 형성 방법.

청구항 24. 제23항에 있어서,

상기 기판의 표면에 걸친 상기 제2 절연층에 걸쳐 제3 절연층을 형성하는 단계; 및

드레인 영역에 제1 컨택트 개구부를 형성하는 단계 - 상기 컨택트 개구부를 형성하는 단계는 상기 외부 플러그 쌍 중 하나의 일부를 노출함 -

를 포함하는 플러그 형성 방법.

청구항 25. 제24항에 있어서, 제2 드레인 영역에 제2 컨택트 개구부를 형성하는 단계를 더 포함하고, 상기 제2 컨택트 개구부를 형성하는 단계는 상기 외부 플러그 쌍의 다른 하나의 일부를 노출하는 플러그 형성 방법.

청구항 26. 제25항에 있어서, 상기 제1 및 제2 드레인 영역에 상기 제1 및 제2 컨택트 개구부를 형성하는 단계는 한 쌍의 스토리지 노드 영역을 형성하는 단계를 포함하는 플러그 형성 방법.

청구항 27. 제23항에 있어서, 제1 도전 물질을 용착하는 단계는 폴리실리콘을 용착하는 단계를 포함하는 플러그 형성 방법.

청구항 28. 제23항에 있어서, 상기 제2 개구부의 내벽상에 스페이서를 형성하는 단계는 산화물 스페이서를 형성하는 단계를 포함하는 플러그 형성 방법.

청구항 29. 제23항에 있어서, 상기 제2 개구부의 내벽상에 스페이서를 형성하는 단계는 질화물 스페이서를 형성하는 단계를 포함하는 플러그 형성 방법.

청구항 30. 제23항에 있어서, 상기 내부 플러그로 상기 제1 도전 물질을 분리하는 단계는 비트라인 플러그를 형성하는 단계를 포함하는 플러그 형성 방법.

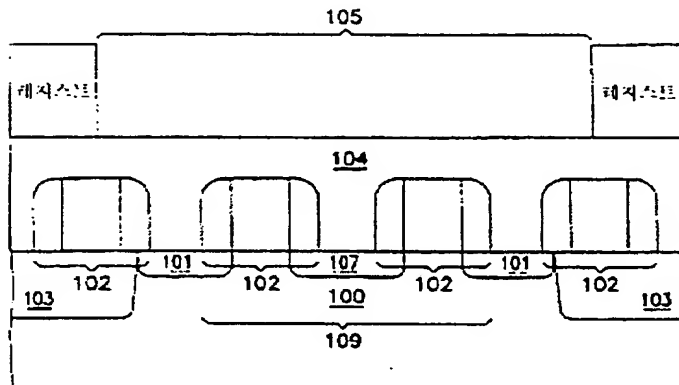
청구항 31. 제23항에 있어서, 상기 외부 플러그로 상기 제1 도전 물질을 분리하는 단계는 한 쌍의 스토리지 노드 플러그를 형성하는 단계를 포함하는 플러그 형성 방법.

청구항 32. 제23항에 있어서, 상기 제2 소스 영역의 상기 제1 도전 물질에 제2 개구부를 형성하는 단계는 비트라인 영역을 형성하는 단계를 포함하는 플러그 형성 방법.

청구항 33. 제23항에 있어서, 상기 제2 개구부의 제2 도전 물질을 형성하는 단계는 매입된 비트라인을 형성하는 단계를 포함하는 플러그 형성 방법.

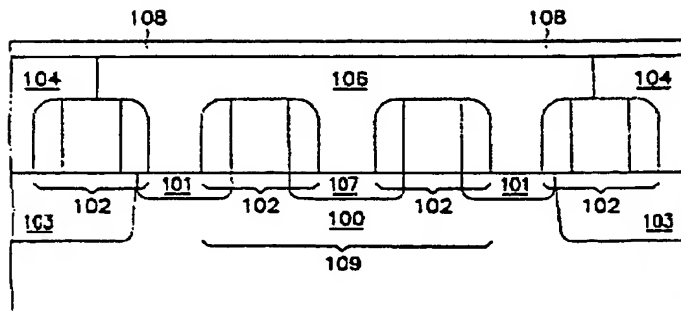
도면

도면 1A

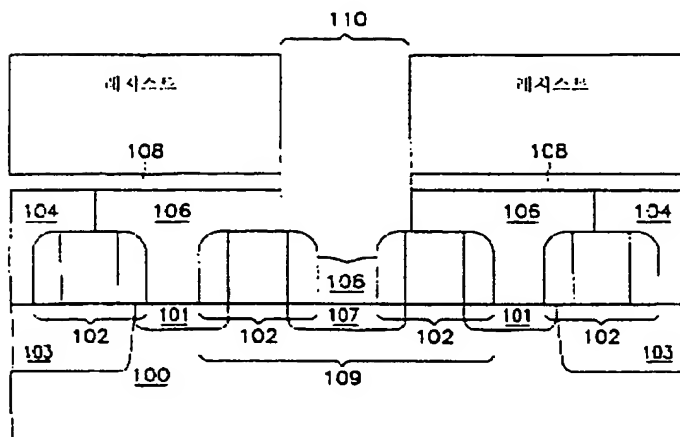




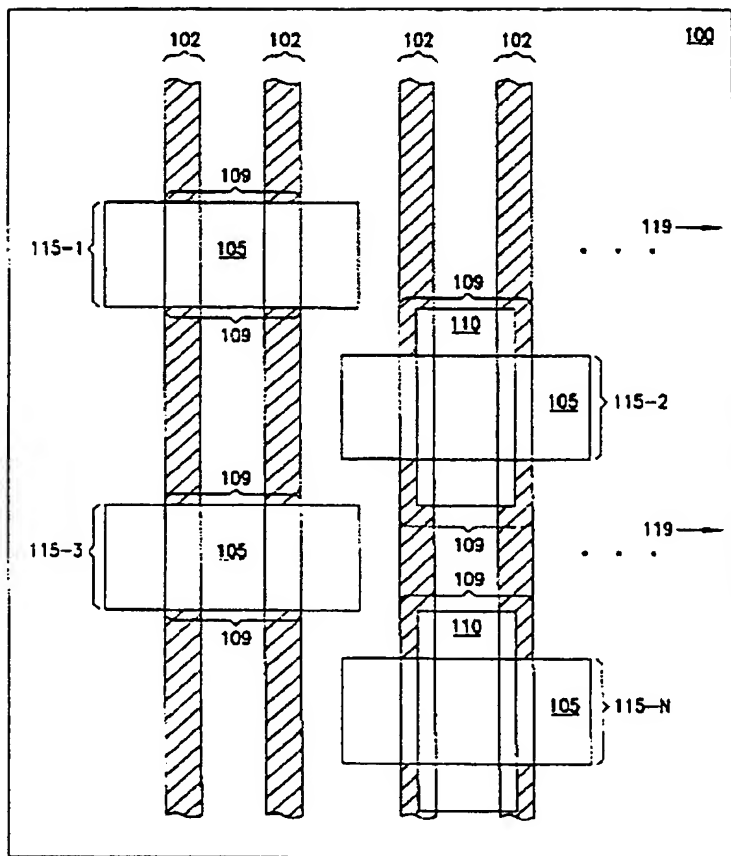
도면 18



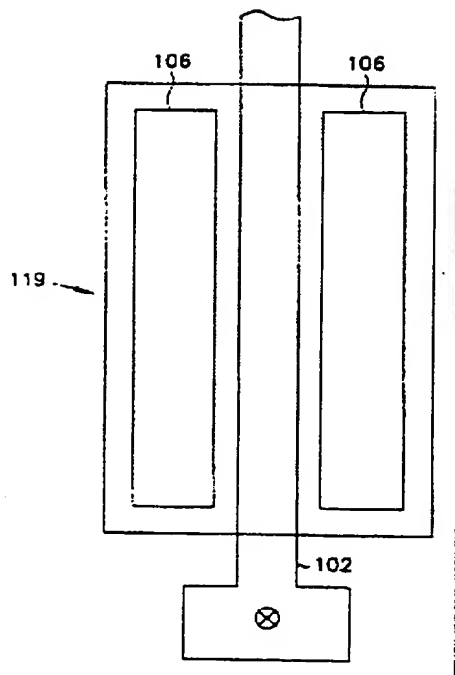
도면 18-1



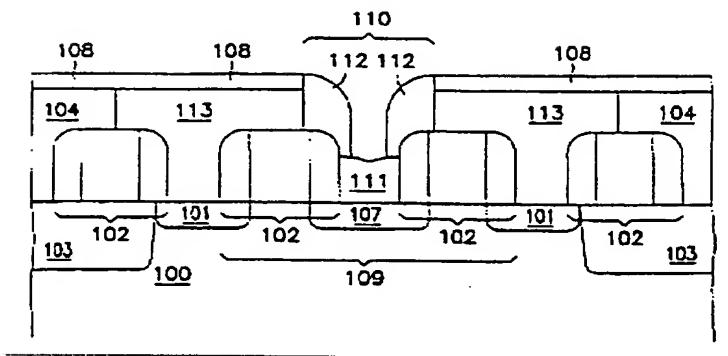
도면 10-2



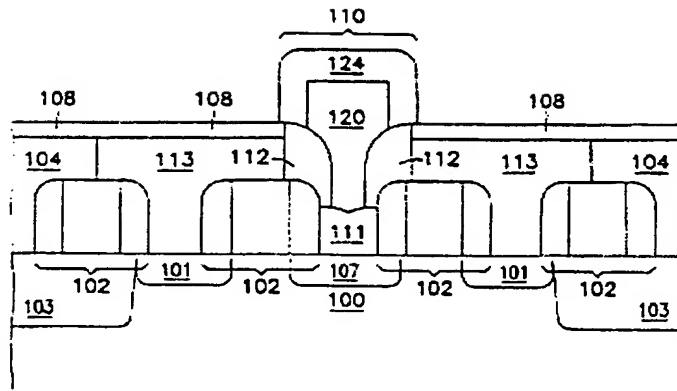
도면 10-3



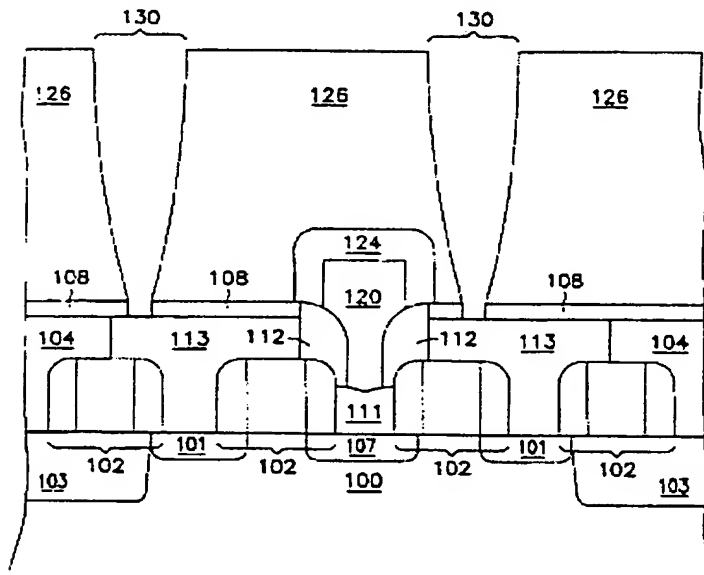
도면 10



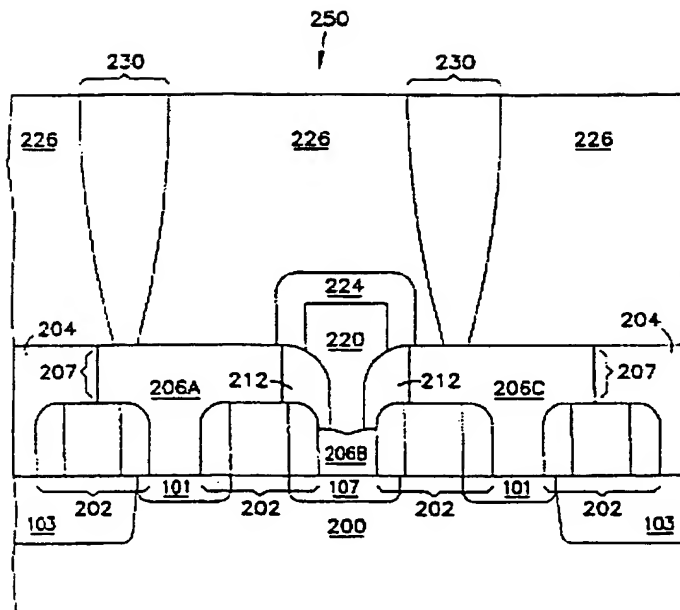
도 1E



도 1F



도 122



도 123

